

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-005928  
(43)Date of publication of application : 12.01.2001

(51)Int.Cl. G06K 19/07  
B42D 15/10  
G06F 12/16  
G06K 19/073

(21)Application number : 11-170976  
(22)Date of filing : 17.06.1999

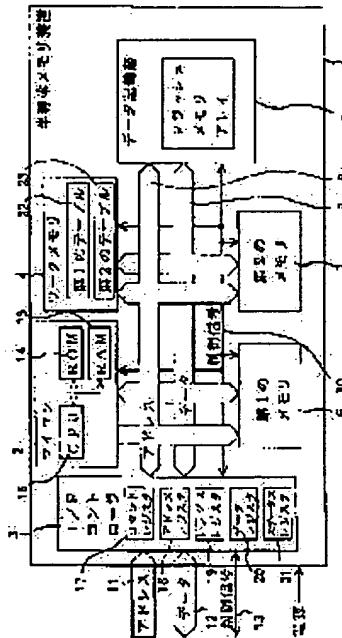
(71)Applicant : HITACHI MAXELL LTD  
(72)Inventor : KUBO TAKASHI

(54) IC CARD

(57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain an IC card which prevents data damage owing to a short break in the middle of data writing and has high operation reliability.

**SOLUTION:** A data storage device is provided with a data storing part 5 which is electrically writable and also stores data in a prescribed unit, and is accessed by a host device for data in the prescribed unit. In such a case, a 1st memory 6 capable of temporarily storing data even without feeding power to the data storage medium, a 2nd memory 7 capable of temporarily storing control information necessary to data transfer to the part 5 from the memory 6 even without feeding power to the data storage device and a controlling means 16 for rewriting data of the prescribed unit during the transfer after resuming power supply in the case power supply is interrupted when the data is transferred are included.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-5928

(P 2001-5928 A)

(43)公開日 平成13年1月12日(2001.1.12)

(51) Int. Cl.	識別記号	F I	マーク (参考)
G06K 19/07		G06K 19/00	N 2C005
B42D 15/10	521	B42D 15/10	521 5B018
G06F 12/16	340	G06F 12/16	340 5B035
G06K 19/073		G06K 19/00	P

審査請求 未請求 請求項の数 2 O L (全15頁)

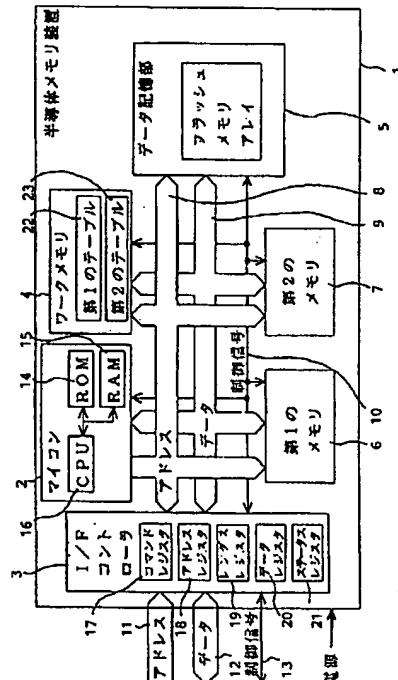
(21)出願番号	特願平11-170976	(71)出願人	000005810 日立マクセル株式会社 大阪府茨木市丑寅1丁目1番88号
(22)出願日	平成11年6月17日(1999.6.17)	(72)発明者	久保 高志 大阪府茨木市丑寅一丁目1番88号 日立マ クセル株式会社内
		(74)代理人	100080193 弁理士 杉浦 康昭
			F ターム(参考) 2C005 MA34 MB08 SA22 SA25 5B018 GA04 KA22 LA06 MA40 NA06 QA05 5B035 AA11 BB09 CA11 CA12

(54)【発明の名称】 I C カード

(57)【要約】

【課題】 データ書き込み中での電源の瞬断によるデータ破壊がおこらない、動作信頼性の高い I C カードを提供する。

【解決手段】 電気的に書き込みが可能で、かつ所定の単位でデータを記憶するデータ記憶部 5 が設けられ、上位装置から所定の単位でデータアクセスがなされるデータ記憶装置において、前記データ記憶装置に電源が供給されなくてもデータを一時的に記憶できる第 1 のメモリ 6 と、その第 1 のメモリ 6 から前記データ記憶部 5 へのデータ転送に必要な制御情報を、前記データ記憶装置に電源が供給されなくても一時的に記憶できる第 2 のメモリ 7 と、前記データ転送時に電源の供給が遮断されたときに、その転送中の所定単位のデータを電源供給再開後にデータ記憶部に再書き込みするための制御手段 16 を備えることを特徴とする。



## 【特許請求の範囲】

【請求項1】 電気的に書き込みが可能で、かつ所定の単位でデータを記憶する不揮発性のデータ記憶部が設けられ、前記データ記憶部に対して上位装置から所定の単位で書き込みが行われるICカードにおいて、書き込み対象領域へのデータ書き込み中に電源供給の瞬断が発生したことを記憶する瞬断情報記憶手段を有することを特徴とするICカード。

【請求項2】 請求項1記載のICカードにおいて、書き込み対象領域のデータをバックアップ領域に待避する手段と、電源供給の再開時に前記瞬断情報記憶手段の情報をもとに瞬断が発生したことを判断する手段と、前記判断手段で瞬断の発生を確認した場合に前記バックアップ領域の待避データを書き込み対象領域に書込む手段を有していることを特徴とするICカード。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、例えば電子マネー、クレジットカード等に利用されるICカードに関するものである。

## 【0002】

【従来の技術】 現在普及している磁気カードに代わり、記憶容量・セキュリティの面で優れているICカードが各種システムにおいて普及しつつある。これに伴いICカード利用環境も今までの環境と比較してより過酷な環境下での使用が必要とされている。例えば、現在実稼動が予定されている有料高速道路の自動料金収受システム（ETC: Electronic Collection System）では、利用料金の決済に用いるICカードは、自動車のダッシュボード等に設置される車載器に挿入され、自動車走行中にICカードと料金所車線に設置された路側アンテナの間でデータ通信がおこなわれ、これにより料金計算に必要な情報に通信が実行される。このため、ICカードには車内における高温・振動・ノイズ等の従来の利用環境より悪環境下での安定した動作および記憶データの保存が要求されている。

## 【0003】

【発明が解決しようとする課題】 特に自動車走行中のICカードアクセスは、車体の振動の影響を大きく受けることが分かった。これは、通常接触状態にあるICカードの外部端子と車載器のICカードコントラクト部が車体の振動により瞬間に離れてしまうことに起因するものである。ICカードでのデータ書き込み時に瞬間的な接点の離れがおこると、ICカードへ供給されていた電力の瞬断がおこり、書き込み動作が中断される。そのとき書き込みデータプロツクの正当性の保障ができず、データの破壊を引き起こしてしまう可能性がある。

【0004】 このことは特にデータ記憶部にEEPROMやラッシュEEPROMを使用した場合、このメモリはデータの書き込み速度がRAM等の揮発性メモリと比較し

て書き込みに要する時間が長いため、前述のような電源瞬断によるデータ破壊のトラブルが発生する確立が高くなり、データの正当性の保障がより困難となる。

【0005】 また、データ破壊が起こった領域がICカードの管理領域であった場合には、再起動時のICカード使用が出来なくなることも有り得る。

## 【0006】

【課題を解決するための手段】 本発明は、このような従来の課題を解決するICカードを提供することを目的とする。

【0007】 前記目的を達成するために、本発明は、電気的に書き込みが可能で、かつ所定の単位でデータを記憶する、例えばフラッシュ型EEPROMなどの不揮発性メモリからなるデータ記憶部が設けられ、上位装置から所定の単位でデータの書き込みがなされるICカードデータにおいて、データ書き込み中に電源供給の瞬断が発生したことを記憶する情報記憶手段を有するものである。

【0008】 さらに、書き込み対象領域のデータをバックアップ領域に待避する手段と、電源供給の再開時に前記記憶手段の情報をもとに瞬断が発生したことを判断する判断手段と、前記判断手段で瞬断の発生を確認した場合に前記バックアップ領域の待避データを書き込み対象領域に書込む手段を有していることを特徴とするものである。

【0009】 本発明は前述のような構成になっており、電源が遮断されたときに書き込み中であった所定単位のデータが電源供給再開後、データ記憶部に書き込まれるため、当該データの正当性の保障が完全となり、動作信頼性の高いICカードが提供できる。

## 【0010】

【発明の実施の形態】 つぎに本発明の実施の形態を図とともに説明する。図1は第1実施例に係る半導体メモリ装置を説明するためのブロック図である。

【0011】 半導体メモリ装置1は、フラッシュメモリへのリード/ライトおよび全体の制御を行うマイコン2、上位装置とのインターフェースプロトコルを実現するI/Fコントローラ3、作業用のワークメモリ4、複数のフラッシュ型EEPROM（フラッシュメモリアレイ）からなるデータ記憶部5、第1のメモリ6、第2のメモリ7、前記各部を接続するアドレスバス8、データバス9、制御信号バス10で主に構成されている。

【0012】 そしてアドレスバス11、データバス12、制御信号バス13により上位装置（図示せず）と接続されている。ここでアドレスバス8とアドレスバス11、データバス9とデータバス12、制御信号バス10と制御信号バス13とは、必ずしも対応するものではない。

【0013】 前記マイコン2は制御プログラムを格納したROM14、カウンタレジスタならびにブロックナンバレジスタなどの機能を有するRAM15、各制御動作

を実行するためのCPU16を備えている。

【0014】前記I/Fコントローラ3は上位装置とのアクセスを実現するために、実行する処理を指定するためのコマンドレジスタ17、データアクセスする論理ブロックアドレスを指定するためのアドレスレジスタ18、転送ブロック数を指定するためのレンジスレジスタ19、データの書き込み/読み出しを行うためのデータレジスタ20、実行結果を知らせるためのステータスレジスタ21を備えている。

【0015】前記ワークメモリ4は上位装置からの論理ブロックアドレスをデータ記憶部5のフラッシュメモリ群におけるメモリ空間上の実際のアドレスである実ブロックアドレスに変換する第1のテーブル22と、その実ブロックアドレスに対応するフラッシュメモリのデータ領域を管理する第2のテーブル23とを有している。この半導体メモリ装置1は通常のハードディスクと同様に、ある一定のブロック単位でデータアクセスされるものであり、上位装置から論理ブロックアドレスとして任意のデータ領域が指定される。このとき1ブロックのバイト単位は任意であるが、2nバイトが望ましく、ここでは1ブロックが512バイトで構成されている場合として説明する。

【0016】なお、本実施例では半導体メモリ装置1を例に説明するが、マイコンおよび各メモリが1チップで構成され、外部との通信をシリアルで行なう、いわゆるICカードであってもよく、この場合は、データ記憶部がEEPROMであり、書き込み単位は上記の1ブロック512バイト固定でなく、任意のバイト数で書き込みが実行される。

【0017】第1のテーブル22の構成を図2とともに説明する。第1のテーブル22は前述のように、上位装置からデータアクセスのために指定される論理ブロックアドレスを、複数のフラッシュメモリから構成されるデータ記憶部5のメモリ空間上の実際のアドレスである実ブロックアドレスに変換するためのものである。

【0018】同図において論理ブロックアドレス空間は、論理ブロックアドレス0001h～FFFHにマッピングされているとする。また同様に、実ブロックアドレス空間も実ブロックアドレス0001h～FFFFhにマッピングされているとする。ここで例えば、上位装置からデータ読み出し先として論理ブロックアドレス0030hが指定された場合、第1のテーブル22により論理ブロックアドレス0030hに対応する実ブロックアドレス0088hが参照され、実ブロックアドレス空間の実ブロックアドレス0088hが指定され、対応するデータAが読み出される。

【0019】このように第1のテーブル22を介すことにより、論理ブロックアドレスと実ブロックアドレスのアドレス値が常に一致している必要がなくなるので、データ記憶部5のメモリ空間を有効に使用することがで

きる。

【0020】また、データの書き込みのない論理ブロックアドレスについては、例えば論理ブロックアドレスFFFHのように、第1のテーブル22の所定の領域の値が0000hであり、実ブロックアドレス空間上に対応するデータが無いことを示している。このような論理ブロックアドレスへの読み出しについては、ALL0を上位装置に転送すればよい。

【0021】第2のテーブル23は、実ブロックアドレス空間上の実ブロックアドレス内のデータの状態を管理するフラグ情報を格納するためのものである。図3に示すように、実ブロックアドレス0088hに対応する第2のテーブル23の領域には、この実ブロックアドレス内のデータが有効であることを示す「有効データ」フラグ01hが格納されている。さらに、実ブロックアドレス0043hのように実ブロックアドレス内のデータが無効である場合は、「無効データ」フラグ02hが格納されている。これは、以前はこのブロック内のデータが有効であったが、書き換えが行われ、ある論理ブロックアドレスに対応するデータが他の実ブロックアドレスにセットされたことを示している。また、「無効データ」フラグはフラッシュメモリにおける消去処理の必要性も示している。

【0022】データの書き込みが可能な実ブロックアドレスについては、実ブロックアドレス0007hのように「空きブロック」フラグ00hが格納されている。また、データの書き込みができない実ブロックアドレスについては、実ブロックアドレス0123hのように「欠陥ブロック」フラグFFhが格納されている。これらのフラグ情報により、実ブロックアドレス空間を構成するフラッシュメモリの状態を管理することができ、フラッシュメモリに対してデータの書き込み、消去などの処理を行なうことができる。これらのフラグの値は一例であり、フラッシュメモリの状態を管理できるように識別されれば、任意に設定してもよい。

【0023】前記第1のテーブル22と第2のテーブル23はデータ記憶部5内のフラッシュメモリをアクセスするのに必要な情報であるので、不揮発メモリに格納される。そのメモリとしては、EEPROMやフラッシュメモリでもよいが、アクセスがEEPROMやフラッシュメモリに比べて高速であり、バイト単位でデータの書き換えが可能なFRAMが最適である。また、メモリとしてSRAMを使用し、電源オフ時に不揮発メモリへテーブル情報を格納する方法でもよい。あるいは、電池等でSRAMをバックアップする方法でもよい。

【0024】図4は、第1のメモリ6の構成を示す図である。この第1のメモリ6は、例えばFRAMあるいは電池でバックアップされたSRAMなどのようにデータ記憶部5(フラッシュ型EEPROM)よりもデータ書き込み速度が高速かつ不揮発性のメモリで構成されてい

る。そして同図に示すように「ブロック0」から「ブロック255」までのブロックナンバ毎のメモリブロック24を多数備えている。このブロックの総数は、任意であって構わない。

【0025】図5は、第2のメモリ7の構成を示す図である。この第2のメモリ7は、例えばFRAMあるいは電池でバックアップされたSRAMまたはEEPROMなどのメモリで構成されている。そしてデータ転送の処理状態を示すフラグ情報を記憶するフラグ情報エリア25、先頭アドレス情報を記憶する先頭アドレス情報エリア26、転送ブロック数を記憶する転送ブロック数情報エリア27、操作対象論理ブロックアドレスを記憶する操作対象論理ブロックアドレス情報エリア28、操作対象実ブロックアドレスを記憶する操作対象実ブロックアドレス情報エリア29、対象論理ブロックアドレスを記憶する多数の対象論理ブロックアドレス情報エリア30などを有している。

【0026】これらフラグ情報エリア25、先頭アドレス情報エリア26、転送ブロック数情報エリア27、操作対象論理ブロックアドレス情報エリア28、操作対象実ブロックアドレス情報エリア29、対象論理ブロックアドレス情報エリア30によってデータ転送の処理に必要な各種制御情報を格納する制御情報エリア31が構成されている。

【0027】次に図6ないし図13を用いてマイコン2の処理動作について説明する。

【0028】図7に示すように上位装置から電源が供給されると、まずステップ(以下、Sと略記する)1において各部がイニシャライズされ、S2で電源遮断に対応する処理がなされるが、この処理については後で説明することにして、ここでは上位装置から半導体メモリ装置に通常の状態で電源が供給されている場合を説明する。すなわちS2において第2のメモリ内のフラグ情報が「11H」あるいは「12H」でないと判断されると、S5に進む。

【0029】S5ではコマンド待ちかどうか判断し、コマンド待ちであればそれを受信し、S6でそのコマンドがデータ書き込みなのかどうか判断され、データ書き込みであれば後述する書き込み処理のサブルーチンをコールする。また、S7で受信した前記コマンドがデータ読み出しなのかどうか判断され、データ読み出しであれば後述する読み出し処理のサブルーチンをコールする。

【0030】その他のコマンドであればS8でそのコマンドに対応した処理を実行し、コマンドの処理が終了するとS9で終了の信号を上位装置に送り、次のコマンド待ちの状態で待機する。

【0031】次に図8を用いて書き込み処理を説明する。S10で上位装置からアドレスレジスタおよびレンジスレジスタに入力された論理ブロックアドレスの先頭アドレス値および転送ブロック数を第2のメモリに設定

する。

【0032】次にS11で第1のステップを実行する。この第1のステップは図9に示すようにまず、S20でフラグ情報「10H」、すなわち上位装置から第1のメモリヘデータ書き込中を示すフラグ情報を第2のメモリに設定する。

【0033】S21でレンジスレジスタに入力されている転送されるブロック数をマイコン中のカウンタ(RAM)に設定し、S22で第1のメモリ内のメモリブロックを指定するプロツクナンバレジスタの値を「0」にする。

【0034】そしてS23において、上位装置からの1ブロック分のデータをプロツクナンバの示すメモリブロック(図4参照)に転送する。転送が終了するとS24でプロツクナンバの値を+1インクリメントするとともに、S25でカウンタの値を-1デクリメントする。

【0035】そして、カウンタの値が「0」になるまでS23～S25の動作が繰り返され、カウンタ値が「0」になった、すなわち上位装置から第1のメモリへのデータの書き込み(転送)が終了したとS26で判断されると、第1のメモリへのデータの書き込み終了を示すフラグ情報「11H」を第2のメモリに設定して、第1のステップを終了する。

【0036】この第1のステップが終了すると、図8に示すようにS12で第2のステップの実行がなされる。この第2のステップは図10ならびに図11に示すようにまず、S30でフラグ情報「12H」、すなわち第1のメモリからデータ記憶部へのデータ書き込中を示すフラグ情報を第2のメモリに設定する。

【0037】S31で第2のメモリから先頭アドレス値および転送ブロック数を読み出し、それから書き込み対象の論理ブロックアドレスを算出する。例えば先頭アドレス値が0001hで、転送ブロック数が3の場合、書き込み対象の論理ブロックアドレスは0001h～0003hと算出される。

【0038】S32で算出した書き込み対象の論理ブロックアドレス値を第2のメモリに格納するとともに、転送されるブロック数をカウンタ(RAM)に設定し、S33で第1のメモリ内のメモリブロックを指定するプロツクナンバレジスタの値を「0」にする。

【0039】次にS34で、転送ブロック数とカウンタの値を元にして、第2のメモリから書き込み対象の論理ブロックアドレスを読み出す。そしてS35で、第1のテーブルから、書き込み対象の論理ブロックアドレスに対応する実ブロックアドレスが存在するかを検索し、S36で実ブロックアドレスが存在すると判断されると、S37で実ブロックアドレスに対応する第2のテーブルの領域に「無効データ」フラグを設定する。

【0040】次いでS38で第2のテーブルより「空きブロック」フラグを検索し、その「空きブロック」の実

ブロックアドレスを書き込み先ブロックアドレスとして設定して (S 3 9) 、 S 4 0 で書き込み対象の論理ブロックアドレス値と書き込み先の実ブロックアドレス値を第2のメモリ内の操作対象論理ブロックアドレスと操作対象実ブロックアドレスのエリアにそれぞれ格納する。

【0041】そして S 4 1 でブロックナンバで示されている第1のメモリのメモリブロックから 1 ブロック分のデータを、実ブロックアドレスで指定されているデータ記憶部の領域に書き込む。

【0042】次に S 4 2 で、書き込み先の実ブロックアドレスに対応する第2のテーブルの領域に「有効データ」フラグを設定し、 S 4 3 で書き込み対象の論理ブロックアドレスに対応する第1のテーブルの領域に、書き込み先の実ブロックアドレス値を設定する。

【0043】しかる後、 S 4 4 でブロックナンバの値をインクリメントし、 S 4 5 でカウンタの値をデクリメントし、 S 4 6 でカウンタの値が 0 になったかどうか判断する。カウンタの値が 0 になるまで前記 S 3 4 から S 4 6 の処理動作を繰り返して、所定ブロックのデータを第1のメモリからデータ記憶部へ転送する。

【0044】データ転送が終了すると S 4 7 で第2のメモリに設定した制御情報をクリアし、 S 4 8 で第2のメモリのフラグ情報を「00H」に設定して、第2のステップを終了する。この第2のステップの実行は、前述した図7の S 4 においても同様に行われる。

【0045】再び図8に戻るが、 S 1 2 で第2のステップを実行すると S 1 3 で消去ブロックがあるかどうかが判断され、無ければ書き込み処理を終了する。

【0046】次に図12を用いて読み出し処理について説明する。まず S 5 0 でアドレスレジスタおよびレンジスレジスタの値を読み出し、論理ブロックアドレス値および転送されるブロック数を読み出し、 S 5 1 で転送ブロック数をカウンタに設定する。

【0047】次に読み出した論理ブロックアドレスの先頭アドレス値と転送ブロック数およびカウンタの値から、読み出される論理ブロックアドレスを算出する。次いでそれを第1のテーブルより実ブロックアドレスに変換し (S 5 3) 、 S 5 4 で実ブロックアドレス内のデータを読み出し、 I/Fコントローラを介して上位装置に転送する。そして S 5 5 でカウンタの値をデクリメントし、 S 5 6 でカウンタの値が 0 になったかどうか判断され、カウンタ値が 0 になるまで S 5 2 から S 5 6 までの処理動作を繰り返してデータの読み出しを行い、カウンタ値が 0 になると読み出し処理を終了する。

【0048】次に図13を用いて消去処理について説明する。まず S 6 0 で第2のテーブルを検索し、「無効データ」フラグを検索し、 S 6 1 で「無効データ」フラグを含む消去ブロック単位内での「有効データ」フラグを検索し、 S 6 2 で「有効データ」フラグが有るかどうかを判断する。「有効データ」フラグが無ければ S 6 3 で消

去ブロック単位での消去操作を実行する。

【0049】前述の S 6 2 で「有効データ」フラグがあると判断されると、 S 6 4 で「有効データ」フラグである実ブロックアドレス内のデータをワークメモリへ退避させ、 S 6 5 で第2のテーブルより消去ブロック以外の範囲での「空きブロック」フラグを検索する。

【0050】そして S 6 6 で「空きブロック」の実ブロックアドレスに、前述したワークメモリへ退避させてあったデータを書き込む。次に S 6 7 で第1のテーブルより退避元の実ブロックアドレスを検索し、それを書き込み先の実ブロックアドレスに変更し、書き込まれた実ブロックアドレスに対応する第2のテーブルの領域に「有効フラグ」を設定して (S 6 8) 、 S 6 9 で消去ブロック単位での消去操作を実行する。

【0051】しかる後、 S 7 0 で消去ブロック内の実ブロックアドレスに対応する第2のテーブルの領域に「空きフラグ」を設定して、消去処理を終了する。

【0052】以上の説明は上位装置から半導体メモリ装置へ電源が供給されている通常の処理動作であるが、停電、あるいは上位装置のコンセントを不意に引き抜いた場合、または半導体メモリ装置の引き抜きなどによって上位装置との接続が不意に遮断されたりする場合、すなわち上位装置から半導体メモリ装置への電源が遮断されることがある。

【0053】次にこの場合の対応について図6ならびに図7を用いて説明する。図6は、状態フラグを説明するための図である。同図に示すようにフラグ値が「00H」の場合はレディ状態、「10H」の場合は上位装置から第1のメモリへのデータ書き込み中、「11H」の場合は上位装置から第1のメモリへのデータ書き込み終了、「12H」の場合は第1のメモリからデータ記憶部へのデータ書き込み中をそれぞれ示している。

【0054】図7の S 2 において上位装置から第1のメモリへのデータ書き込み終了（「11H」）または第1のメモリからデータ記憶部へのデータ書き込み中（「12H」）ということは、その時点では上位装置から半導体メモリ装置への電源が遮断されても転送中のデータの復旧可能な状態であることを示す。一方、上位装置から第1のメモリへのデータ書き込み中（「10H」）に電源が遮断されると、第1のメモリへは当該ブロックのデータが途中までしか記憶されていないため、そのデータの復旧は不可能であることを示す。従ってこの S 2 では、その時点において半導体メモリ装置への電源が遮断されたとき、データの復旧は可能かどうかを判断している。

【0055】その判断結果、フラグ情報が「11H」あるいは「12H」で転送中のデータの復旧が可能であると判断すると、 S 3 で第2のメモリから操作対象実ブロックアドレス値を読み出し、その実ブロックアドレスに対応する第2のテーブルの領域に「無効データ」のフラグを設定して、復旧処理時にはその実ブロックアドレス

へのデータの書き込みを禁止する。次にS4で前述の第2のステップを実行して、電源供給再開後に前述の電源遮断で転送途中であったデータを最初からデータ記憶部へ書き込む。

【0056】図14ないし図16は、処理動作の変形例を説明するための図である。図14において前記図7と相違する点は、S8の後に書き込み処理あるいは読み出し処理とは無関係にS9でコマンド処理の終了を上位装置に返送する点である。

【0057】また図15において前記図8と相違する点は、S11とS12の間にコマンド処理の終了を上位装置に返送するS100がある点である。

【0058】さらに図16において前記図12と相違する点は、S56の後にコマンド処理の終了を上位装置に返送して(S101)読み出し処理を終了する点である。

【0059】このように所定のコマンド処理が終了すると、その旨を逐次上位装置に連絡することにより、上位装置の待ち時間を可及的に短縮して上位装置での他の処理が可能となり、上位装置の処理効率が高められる。

【0060】次に、マイコンおよび各メモリがICチップで構成され、外部との通信をシリアルで行なう、いわゆるICカードの場合のデータ書き込みを図17のフローチャートを用いて説明する。ICカードに対してリーダライタ等の上位の外部装置から書き込みコマンドブロックがシリアル通信で転送され、ICカード内部のSRAM等の揮発性メモリに設定されている通信バッファに書き込まれる。このコマンドブロックには、書き込み命令を示すコマンド情報の他に書き込みデータや書き込みアドレスを含む。

【0061】S201では、書き込みアドレス(論理アドレス)が示す書き込み領域に対応するブロック(物理アドレス)を計算で求める。S202では、S201で求めた書き換えブロック番号の不揮発性メモリへの保存と書き込み中に電源の供給が途絶えたことを判別するための書き込み中フラグのセットを行なう。次にS203において、書き換えブロックに書き込まれているデータを退避エリアへ書き込むことで、データ保存を行ない、S204で退避エリアへのデータ保存が成功したことを確認する。

【0062】S205で実際に送られてきた通信バッファ内の書き込みデータをS201で求めた書き換えブロックへの書き込みを実行し、S206でデータ書き込みが正常に実行されたことを確認する。最後にS207でS203でセットした書き込み中フラグのクリア処理を実行して書き込み処理を終了する。

【0063】データ記憶部にEEPROMやラッシュEEPROMを使用した場合、このメモリはデータの書き込み速度がRAM等の揮発性メモリと比較して書き込みに要する時間が長いため、電源瞬断がS203の処理中に発生する確立が高い。その場合、書き込みブロックのデータは、書き込み中のデータと書き込み処理前のデータが混在し

てしまい、データ破壊となってしまう。

【0064】再度電源が投入された時点の初期化処理において、前記書き換えフラグをチェックすることにより書き換え処理中の電源供給が途絶えたことを知ることが可能となる。その処理を図18により説明する。

【0065】ICカードの電源投入後の初期化処理において、書き込み中フラグの状態を確認しフラグがセットされている場合(前回の処理でデータ書き込み中の処理中断が起こった場合)、図18の処理を実行して書き込み領域の再生を行なう。S208で書き込み中フラグの確認し、フラグがセットされていることを確認し、S209で退避エリアへ保存してあるデータを図17のS202で保存したブロック番号先へ書き込み、S210で破壊されたブロックのデータを書き込み処理前の状態に再生する。S210でデータの書き戻しが正常に実行されたことを確認し、S211で書き込み中フラグのクリア処理をおこない、データ再生処理を完了する。

【0066】

【発明の効果】本発明は前述のような構成になっており、電源が遮断されたときに書き込み中であった所定単位の書き込みデータが電源供給再開後にデータ記憶部に書き込まれるため、データ破壊を起こすことがないとともに、データの正当性の保障が完全となり、動作信頼性の高いICカードが提供できる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る半導体メモリ装置の構成を示すブロック図である。

【図2】第1のテーブルの構成、機能を説明するための説明図である。

【図3】第2のテーブルの構成、機能を説明するための説明図である。

【図4】第1のメモリの構成図である。

【図5】第2のメモリの構成図である。

【図6】第2のメモリに記憶されるフラグ値の内容を示す説明図である。

【図7】半導体メモリ装置のメインルーチンを示すフローチャートである。

【図8】データの書き込み処理を示すフローチャートである。

【図9】第1のステップを示すフローチャートである。

【図10】第2のステップを示すフローチャートである。

【図11】第2のステップを示すフローチャートである。

【図12】データの読み出し処理を示すフローチャートである。

【図13】データの消去処理を示すフローチャートである。

【図14】メインルーチンの変形例を示すフローチャートである。

【図15】その変形例でのデータの書き込み処理を示すフローチャートである。

【図16】その変形例でのデータの読み出し処理を示すフローチャートである。

【図17】データ書き込み処理を示すフローチャートである。

【図18】破壊エリアの再生処理を示すフローチャートである。

【符号の説明】

1 半導体メモリ装置

2 マイコン

3 I/Fコントローラ

4 ワークメモリ

5 データ記憶部

6 第1のメモリ

7 第2のメモリ

14 ROM

15 RAM

16 CPU

17 コマンドレジスタ

18 アドレスレジスタ

19 レングスレジスタ

20 データレジスタ

21 ステータスレジスタ

22 第1のテーブル

23 第2のテーブル

10 24 メモリブロック

25 フラグ情報エリア

26 先頭アドレス情報エリア

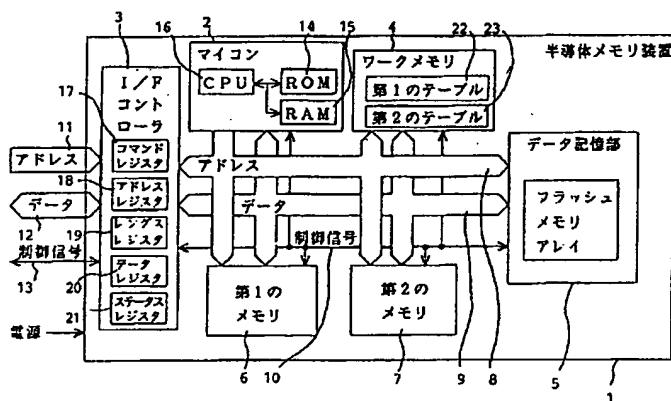
27 転送ブロック数情報エリア

28 操作対象論理ブロックアドレス情報エリア

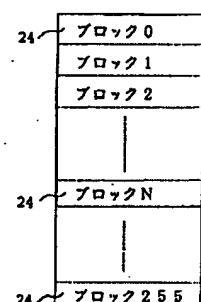
29 操作対象実ブロックアドレス情報エリア

30 制御状態エリア

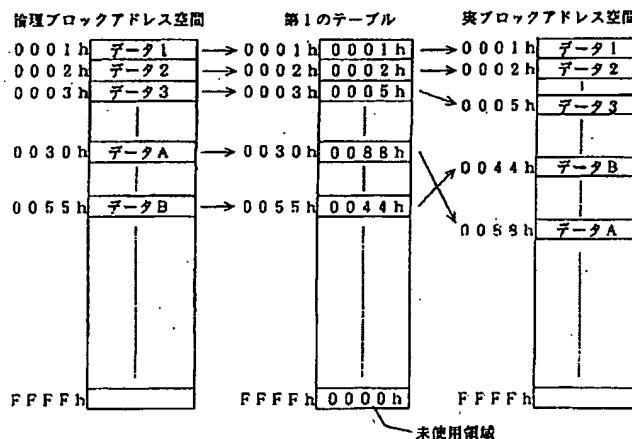
【図1】



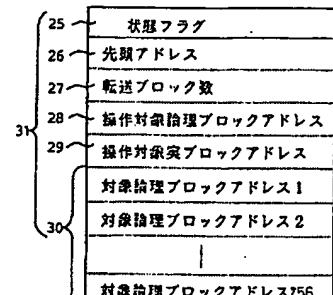
【図4】



【図2】



【図5】



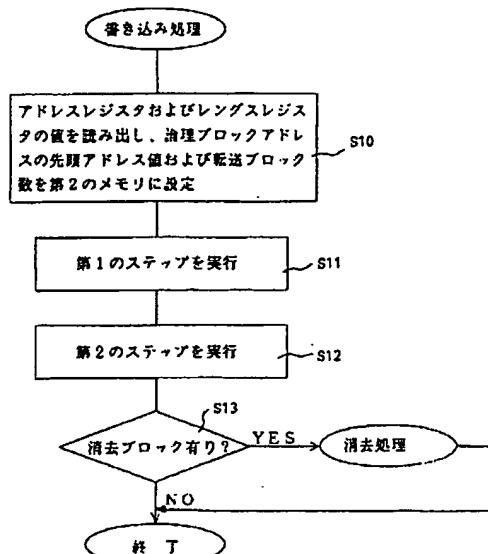
【図 3】

実ブロックアドレス空間		第2のテーブル	
0 0 0 1 h	データ 1	0 0 0 1 h	0 1 ← 有効データ
0 0 0 2 h	データ 2	0 0 0 2 h	0 1 ← 有効データ
0 0 0 3 h		0 0 0 3 h	0 2 ← 無効データ(消去要)
0 0 0 4 h		0 0 0 4 h	FF ← 欠陥ブロック
0 0 0 5 h	データ 3	0 0 0 5 h	0 1 ← 有効データ
0 0 0 8 h		0 0 0 6 h	0 0 ← 空きブロック(消去済)
0 0 0 7 h		0 0 0 7 h	0 0 ← 空きブロック(消去済)
0 0 4 3 h		0 0 4 3 h	0 2 ← 無効データ(消去要)
0 0 4 4 h	データ B	0 0 4 4 h	0 1 ← 有効データ
0 0 9 8 h	データ A	0 0 8 5 h	0 1 ← 有効データ
		0 1 2 3 h	FF ← 欠陥ブロック
0 1 2 3 h			
		FFF Fh	0 0 ← 空きブロック(消去済)

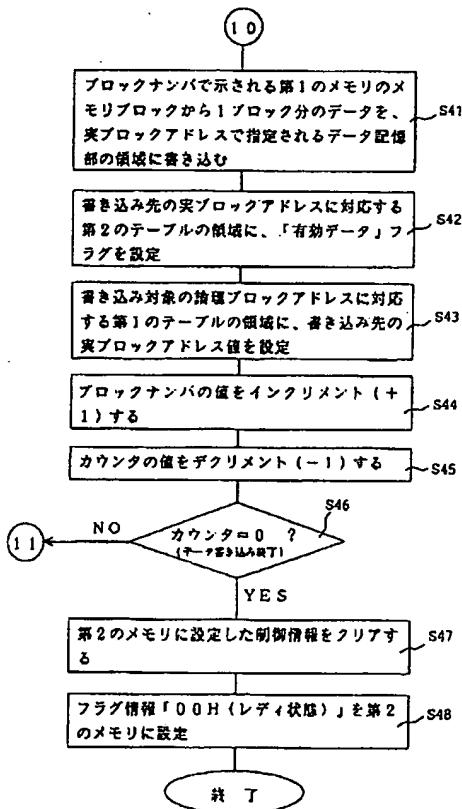
【図 6】

フラグ値	内容
0 0 H	レディ状態
1 0 H	第1のメモリへのデータ書き込み中
1 1 H	第1のメモリへのデータ書き込み終了
1 2 H	データ記憶部へのデータ書き込み中

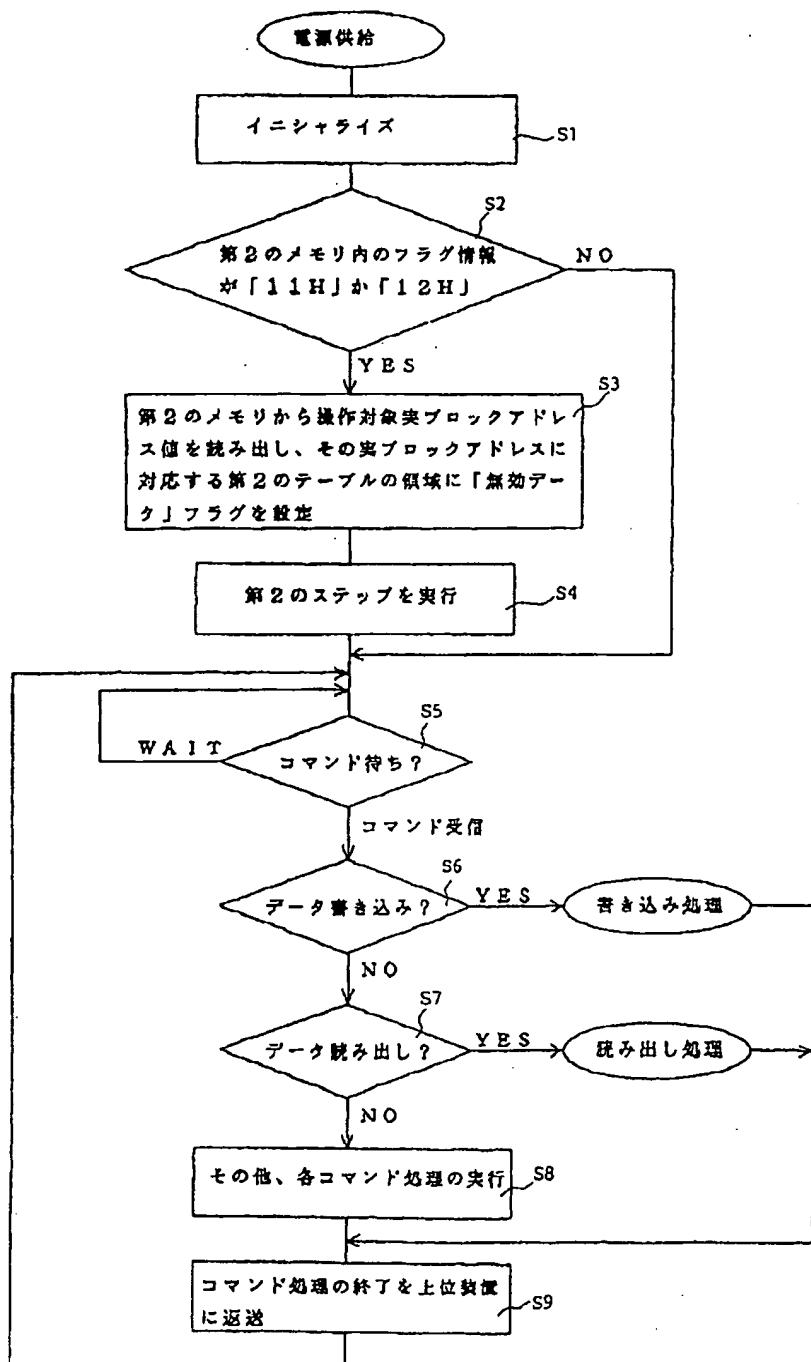
【図 8】



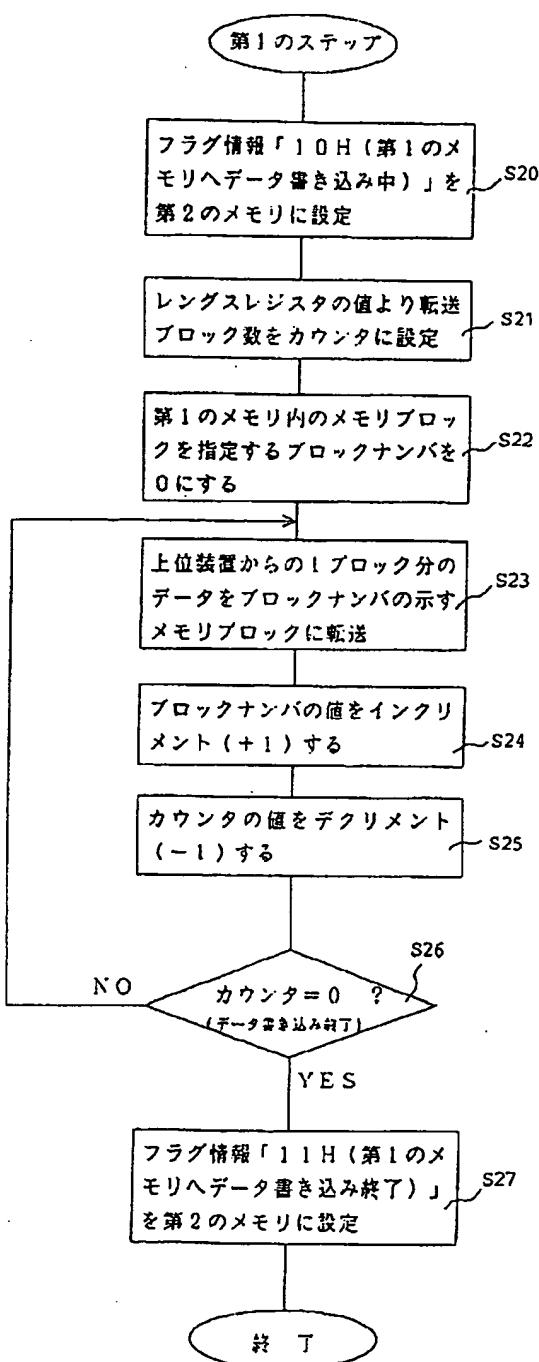
【図 11】



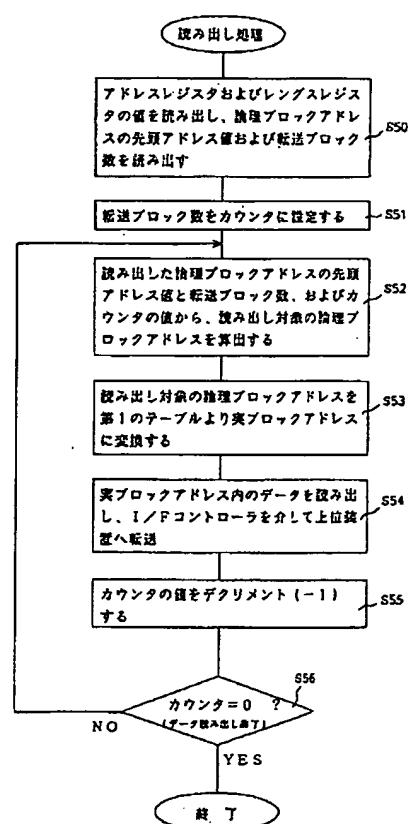
【図7】



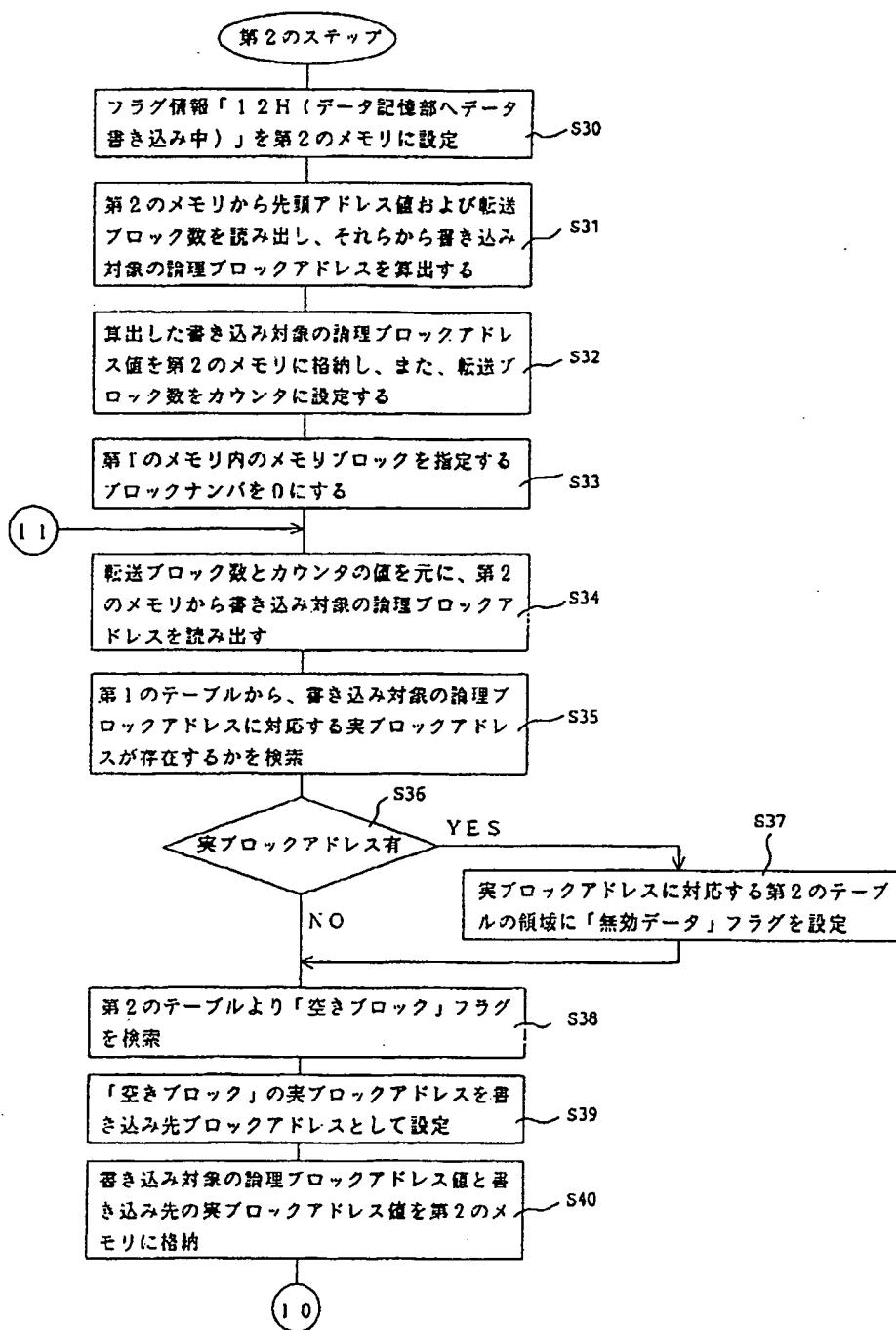
【図9】



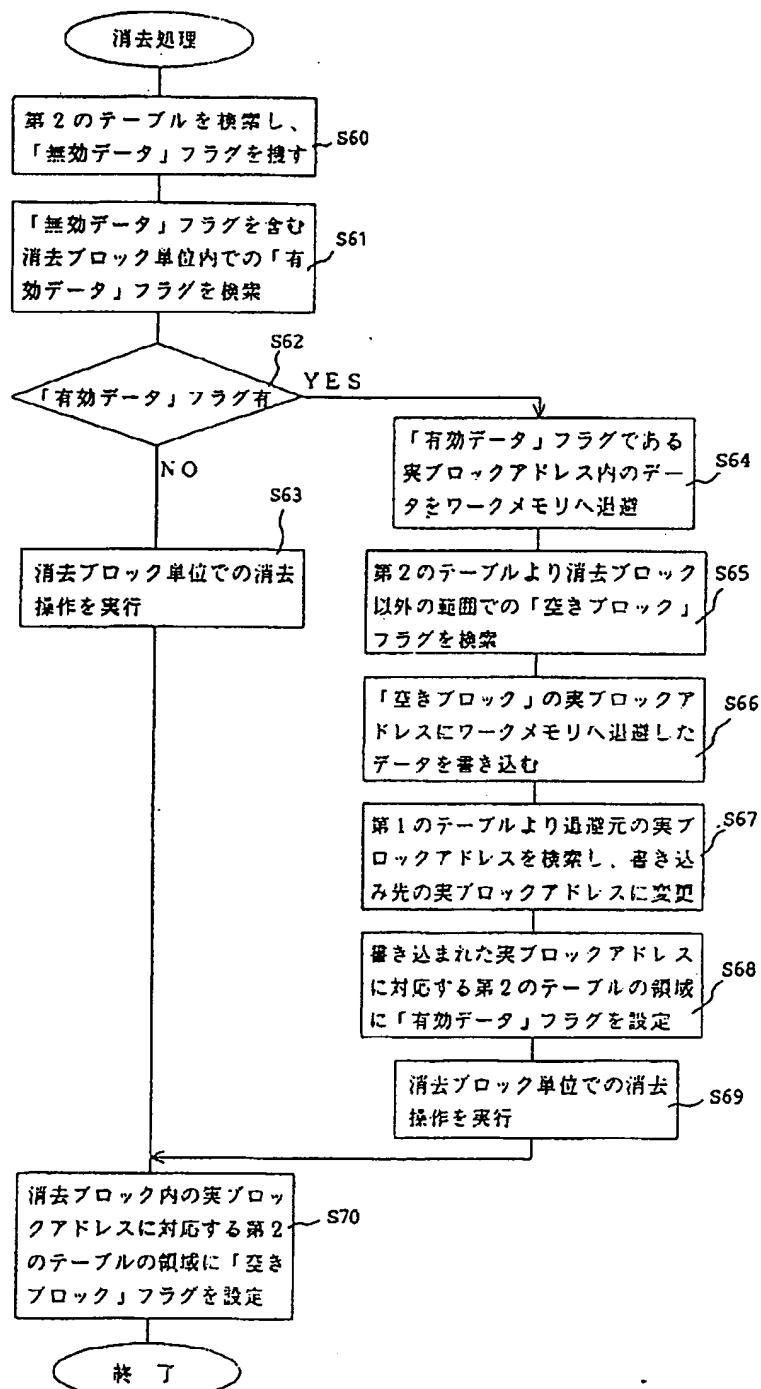
【図12】



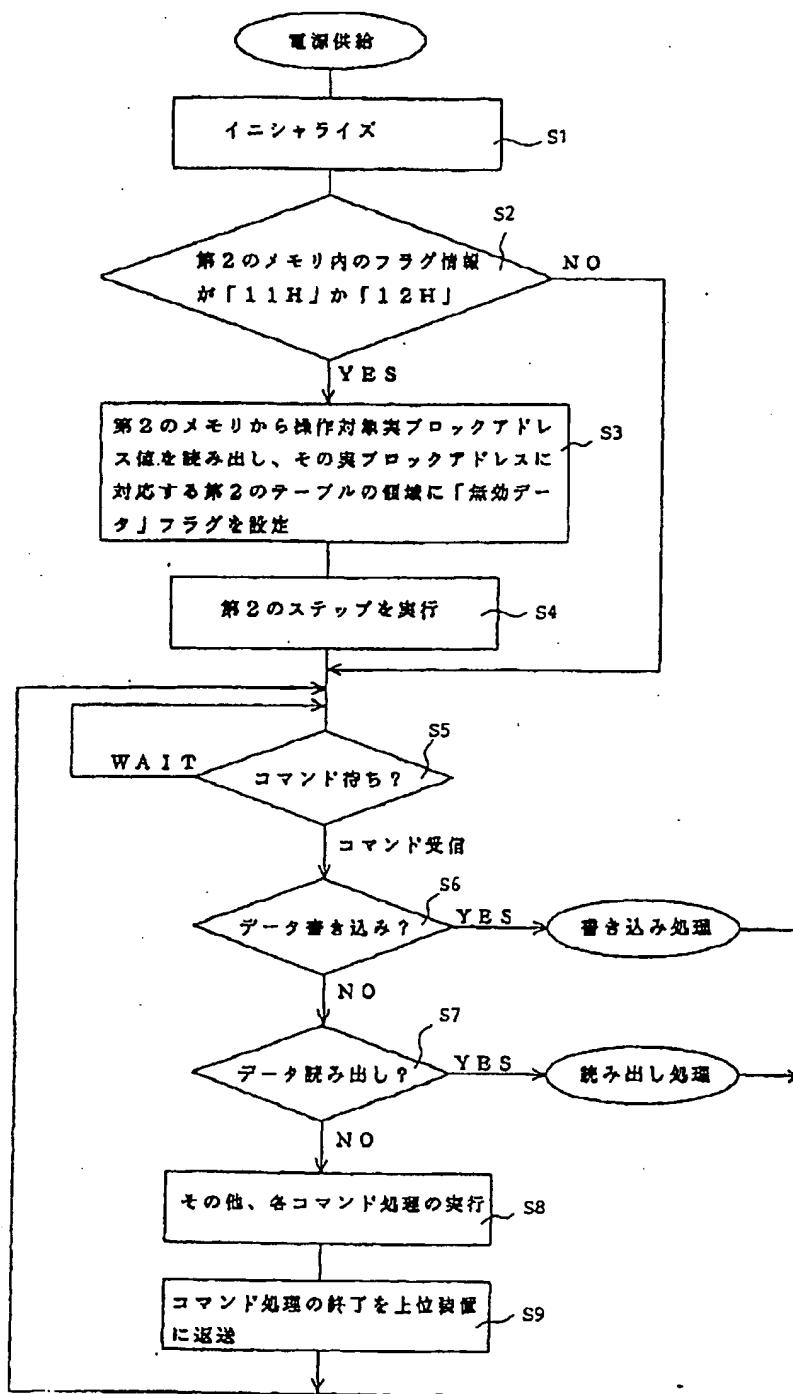
【図 10】



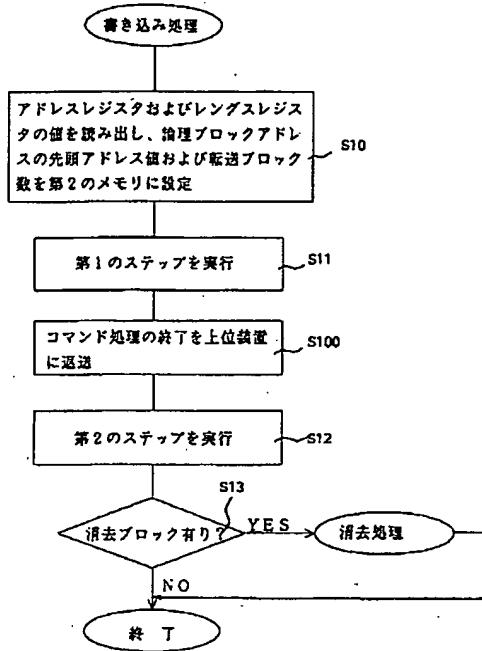
【図13】



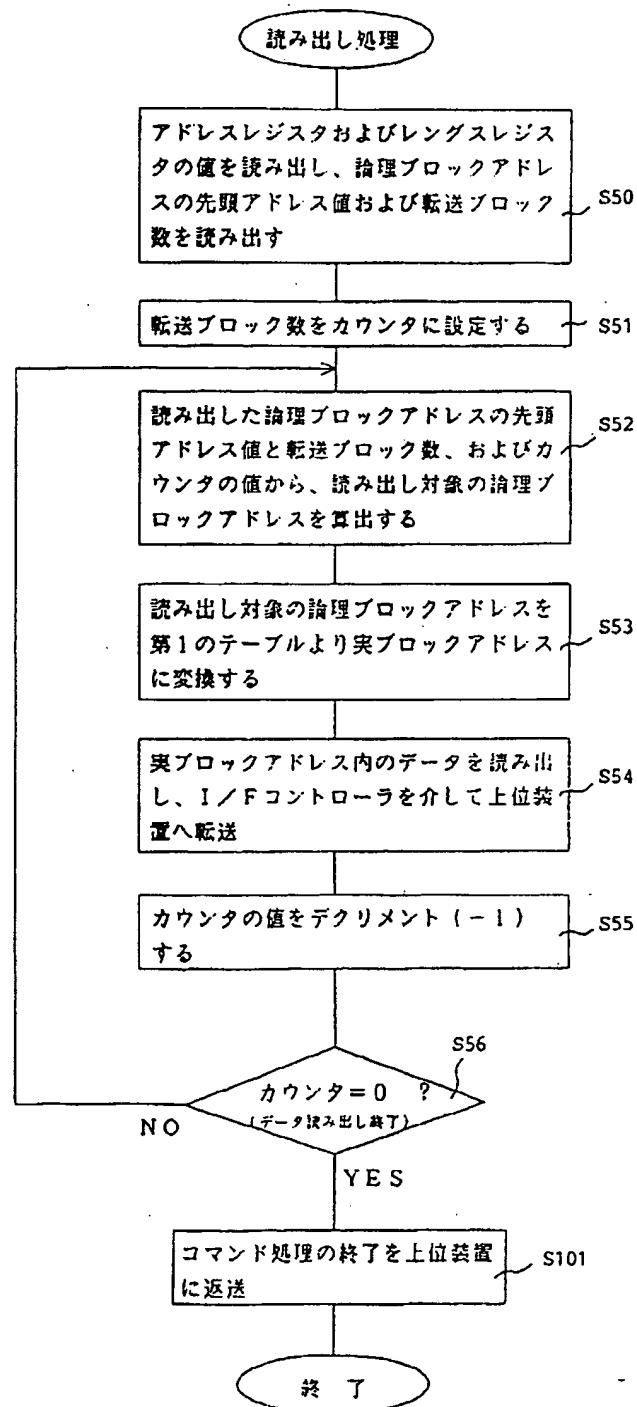
【図14】



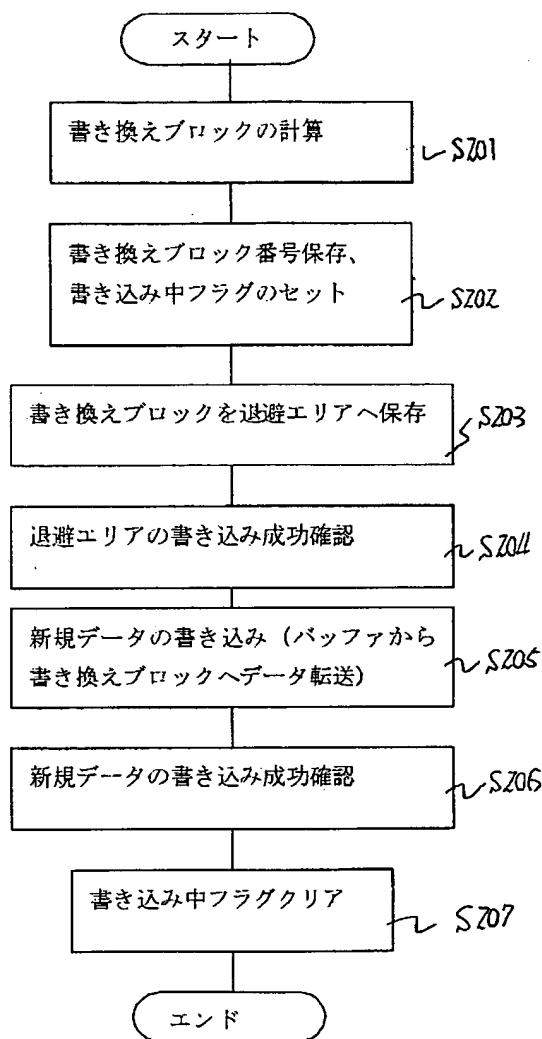
【図15】



【図16】



【図17】



【図18】

